

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application Number	10/707,700
		Filing Date	01/05/2004
		First Named Inventor	Ching-Hsiang Hsu
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	3	Attorney Docket Number	EMEP0064USA

### ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ <input type="checkbox"/> Remarks	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
--	--	--

Response to the office action has been sent to the examiner by fax on 12/04/2003

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	3/14/2004

### CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name		
Signature	Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

## Complete if Known

Application Number	10/707,700
Filing Date	01/05/2004
First Named Inventor	Ching-Hsiang Hsu
Examiner Name	
Art Unit	
Attorney Docket No.	EMEP0064USA

## METHOD OF PAYMENT (check all that apply)

 Check  Credit card  Money Order  Other  None
 Deposit Account:

Deposit Account Number 50-0801  
Deposit Account Name North America International Patent Office

The Director is authorized to: (check all that apply)

Charge fee(s) indicated below  Credit any overpayments  
 Charge any additional fee(s) or any underpayment of fee(s)  
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

## 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)		(\$ 0.00)	

## 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =		
			- 3** =		

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$ 0.00)

\*\* or number previously paid, if greater; For Reissues, see above

## 3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ 0.00)

SUBMITTED BY		(Complete if applicable)		
Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone 886289237350
Signature		Date	3/16/2004	

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

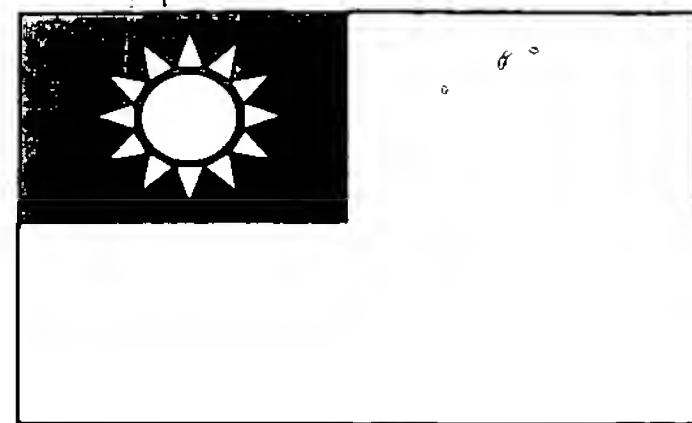
This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

**Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.**

## **DECLARATION --- Supplemental Priority Data Sheet**

### Additional foreign applications:



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 11 月 06 日  
Application Date

申 請 案 號： 092131056  
Application No.

申 請 人：力旺電子股份有限公司  
Applicant(s)

局 長

Director General

蔡 繩 生

發文日期：西元 2003 年 12 月 31 日  
Issue Date

發文字號：  
Serial No.

09221317640

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	非揮發性記憶單元
	英文	NON-VOLATILE MEMORY CELL
二、 發明人 (共4人)	姓名 (中文)	1. 徐清祥 2. 沈士傑
	姓名 (英文)	1. HSU, CHING-HSIANG 2. SHEN, SHIH-JYE
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市東區科園里二十四鄰竹村五路八號六樓 2. 新竹市新光路八十一號十二樓
	住居所 (英 文)	1. 6F, No. 8, Chu-Tsun 5th Rd., 24 Community, Ko-Yuan Li, Tung District, Hsin-Chu City, Taiwan, R.O.C. 2. 12F, No. 81, Hsin-Kuang Rd., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 力旺電子股份有限公司
	名稱或 姓名 (英文)	1. EMEMORY TECHNOLOGY INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行一路十二號三樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F, No. 12, Li-Hsin Road 1, Science-Based Industrial Park, Hsin-Chu City 300, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
代表人 (英文)	1. HUANG, CHONG-JEN	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	3. 陳信銘 4. 李海明
	姓 名 (英文)	3. CHEN, HSIN-MING 4. LEE, HAI-MING
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 台南縣新營市府西路一三七巷二十六弄十號 4. 台北市松山區富錦街三九一之三號
	住居所 (英 文)	3. No. 10, Alley 26, Lane 137, fu-Hsi Rd., Hsin-Ying City, Tainan Hsien, Taiwan, R.O.C. 4. No. 391-3, Fu-Jin St., Song-Shan District, Taipei City, Taiwan,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	R.O.C.
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



#### 四、中文發明摘要 (發明名稱：非揮發性記憶單元)

一種記憶單元，其包含一N型井、三P型掺雜區、一第一堆疊介電層、一第一閘極、一第二堆疊介電層以及一第二閘極。其中，該三P型掺雜區形成於該N型井上，該第一堆疊介電層形成於該N型井上以及該三P型掺雜區中之第一與第二掺雜區之間，該第一閘極形成於該第一堆疊介電層上，該第二堆疊介電層形成於該N型井上以及該三P型掺雜區中之第二與第三掺雜區之間，該第二閘極形成於該第二堆疊介電層上。

#### 五、英文發明摘要 (發明名稱：NON-VOLATILE MEMORY CELL)

A memory cell includes a N-well, three P-type doped regions, a first dielectric stack layer, a first gate, a second dielectric stack layer, and a second gate. The three P-type doped regions form on the N-well. The first dielectric stack layer forms on the N-well and between the first doped region and the second doped region of the three P-type doped region. The first gate forms



四、中文發明摘要 (發明名稱：非揮發性記憶單元)

五、英文發明摘要 (發明名稱：NON-VOLATILE MEMORY CELL)

on the first dielectric stack layer. The second dielectric stack layer forms on the N-well and between the second doped region and the third doped region of the three P-type doped region. The second gate forms on the first dielectric stack layer.



六、指定代表圖

(一)、本案代表圖為：第 \_\_\_\_二 \_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

40 記憶單元

42 P型基底

44 N型井

46、48、50 P型摻雜區

52 第一堆疊介電層

54 第一閘極

56 第二堆疊介電層

58 第二閘極

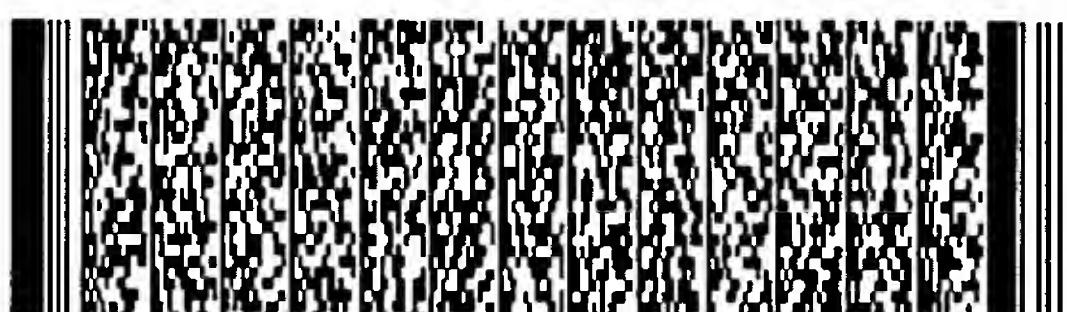
522、562 第一二氧化矽層

524、564 電荷儲存層

526、566 第二二氧化矽層

62 選擇電晶體

64 儲存電晶體



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【技術領域】

本發明提供一種非揮發性記憶單元，尤指一種具有雙電晶體之非揮發性記憶單元以及寫入該記憶單元之操作方法。

### 【先前技術】

非揮發性記憶體具有切斷電源仍能保有儲存資料的優點，目前廣泛地應用於許多可攜式電子產品中，如個人數位助理 (PDA)、行動電話、隨身碟等，而為因應這些產品的需求，非揮發性記憶體更朝著相容於 CMOS 製程、低耗電、高寫入效率、低成本以及高密度的方向發展。然而，由於非揮發性記憶體的尺寸越來越小，相對的閘極氧化層的厚度也需要越來越薄，造成非揮發性記憶體的儲存資料容易流失，影響了非揮發性記憶體的資料維持能力。

請參考圖一，圖一為習知記憶單元 10 之示意圖。記憶單元 10 包含一 NMOS 電晶體 28 以及一 PMOS 電晶體 30，兩者藉由一絕緣場氧化層 24 隔開。NMOS 電晶體 28 形成於一 P 型基底 12 上，其包含一第一浮置閘 (floating gate) 32、一  $N^+$  源極摻雜區 14 以及一  $N^-$  濲極摻雜區 16。PMOS 電晶體 30 形成於一 N 型井 18 上，其包含一第二浮置閘 34、一  $P^+$  源極摻雜



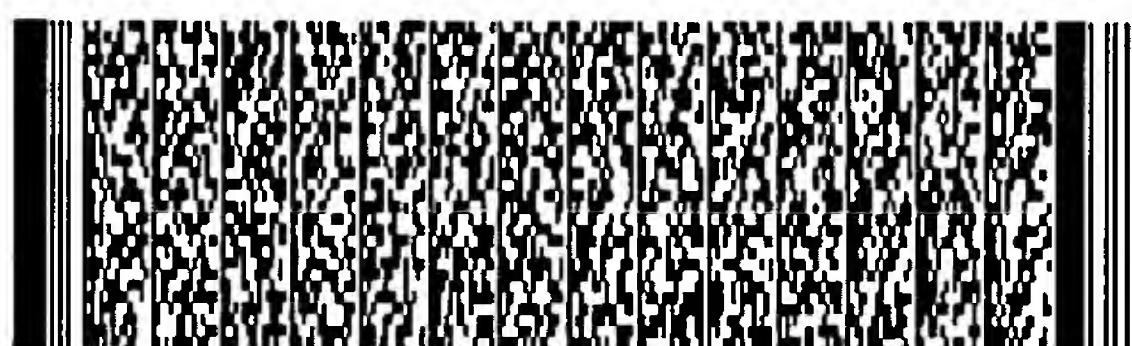
## 五、發明說明 (2)

區 20以及一  $P^+$  沖極摻雜區 22。其中，PMOS電晶體在緊鄰  $P^+$  源極摻雜區 20一側植入有一重摻雜 (heavily doped) N 型通道阻擋區 (channel stop region) 38，位於第二浮置閘 34之下方。第一浮置閘極 32及第二浮置閘極 34藉由一浮置閘導線 36相連接，使第一浮置閘 32及第二浮置閘 34維持等電位。將資料寫入至記憶單元 10時，第一浮置閘 32因應一控制閘電壓而產生相對應的電位，此時第二浮置閘 34由於浮置閘導線 36的連接而與第一浮置閘 32等電位，此電位將加速  $P^+$  源極摻雜區 20與 N型通道阻擋區 38之間的空乏區的電子，使電子注入第二浮置閘 34中。

然而，習知記憶單元 10具有如下之缺點。首先，習知記憶單元 10由 PMOS電晶體 30及 NMOS電晶體 28所構成，所佔晶片單位面積較大；其次，習知記憶單元 10需要額外的 N 型通道阻擋區 38；再者，習知記憶單元 10須以浮置閘導線 36連接第一浮置閘 32以及第二浮置閘 34電；此外，在 NMOS電晶體 28以及 PMOS電晶體 30之間需要有場氧化層 24 隔離。由上述可知，習知記憶單元 10消耗晶片面積過大，加上結構複雜，因此增加製程成本及困難度。

## 【內容】

因此本發明之主要目的在於提供一種記憶單元以及寫入該記憶單元之操作方法，以解決上述問題。



### 五、發明說明 (3)

本發明之申請專利範圍提供一種記憶單元，其包含：一 N 型井；三 P型摻雜區，形成於該 N型井上；一第一堆疊介電層，形成於該 N型井上以及該三 P型摻雜區中之第一與第二摻雜區之間；一第一閘極，形成於該第一堆疊介電層上；一第二堆疊介電層，形成於該 N型井上以及該三 P型摻雜區中之第二與第三摻雜區之間；以及一第二閘極，形成於該第二堆疊介電層上。

本發明之申請專利範圍另提供一種寫入記憶單元之方法，其包含：提供一記憶單元，其包含一 N型井；三 P型摻雜區，形成於該 N型井上；一第一堆疊介電層，形成於該 N型井上及該三 P型摻雜區中之第一與第二摻雜區之間；一第一閘極，形成於該第一堆疊介電層上；一第二堆疊介電層，形成於該 N型井上及該三 P型摻雜區中之第二與第三摻雜區之間；以及一第二閘極，形成於該第二堆疊介電層上；施加一共同電壓於該 N型井、該第三摻雜區以及該第二閘極；施加一小於該共同電壓之電壓於該第一堆疊介電層之電荷；施加一小於該第一堆疊介電層之電壓於該第一閘極，以抹除儲存於該第一閘極，以及一第二電壓於該第二閘極，使以導通該第一與第二摻雜區以及該第二與第三摻雜區之間之 P型通道，該第一電壓係小於該第二電壓；施加一大於該第二電壓之電壓於該 N型井以及該第一摻雜區；以及施加一小於該第二電壓之電壓於該第三摻雜區；

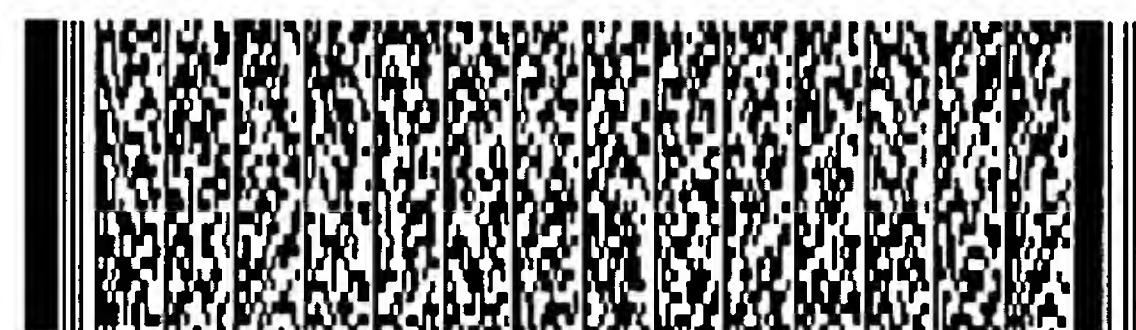


## 五、發明說明 (4)

區，使該第二與第三摻雜區之間之P型通道中之熱電洞誘發熱電子注入該第二堆疊介電層。

### 【實施方法】

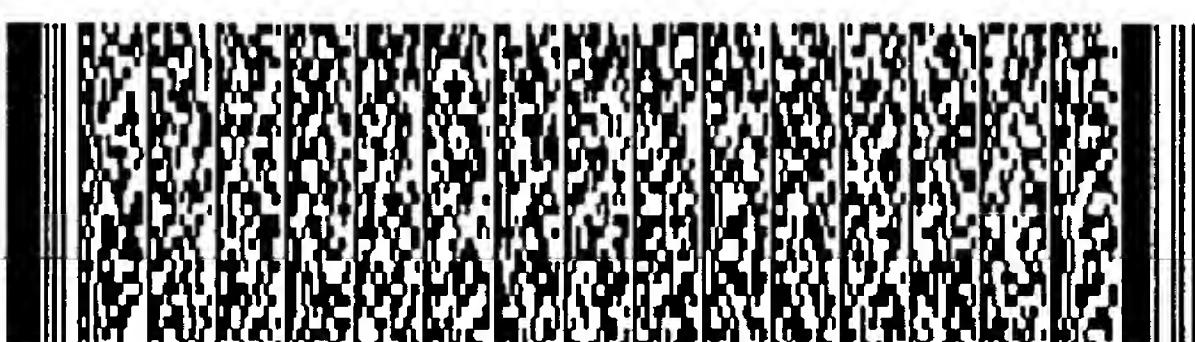
請參考圖二以及圖三，圖二為本發明記憶單元40之示意圖，圖三為圖二記憶單元40組成之記憶模組60之示意圖。記憶單元40包含一P型基底42、一N型井44、三P型摻雜區46、48、50、一第一堆疊介電層52、一第一閘極54、一第二堆疊介電層56以及一第二閘極58。其中N型井44形成於P型基底42上，三P型摻雜區46、48、50形成於N型井44上，第一堆疊介電層52形成於N型井44上以及三P型摻雜區中的第一46與第二摻雜區48之間，第一閘極54形成於第一堆疊介電層52上，第二堆疊介電層56形成於N型井44上以及三P型摻雜區中的第二48與第三摻雜區50之間，第二閘極58形成於第二堆疊介電層56上。第一閘極54以及第二閘極58可為多晶矽層、多晶矽化金屬層或是直接以金屬形成。第一堆疊介電層52以及第二堆疊介電層56中都包含一第一二氧化矽層522、562、一電荷儲存層524、564以及一第二二氧化矽層526、566，其中電荷儲存層524、564可為氮化矽( $Si_3N_4$ )或氮氧化矽( $Si_xN_yO_z$ )。第一閘極54、第一堆疊介電層56、第一摻雜區46以及第二摻雜區48形成一選擇電晶體(select transistor)62，用來開啟以及關閉記憶單元40。第二閘極58、第二堆疊



## 五、發明說明 (5)

介電層 56、第二摻雜區 48以及第三摻雜區 50形成一儲存電晶體 (storage transistor) 64，用來提供記憶單元 40 儲存資料。在實際應用上，記憶單元 40 會排列成記憶模組 60，如圖三所示，記憶模組 60 由複數個記憶單元 40 所組成，複數個記憶單元 40 排列成反或陣列 (NOR-array)，同一行的記憶單元的第一閘極 54 連接到同一選擇線 (SG0、SG1、SG2)，同一行的記憶單元的第二閘極 58 連接到同一字元線 (WL0、WL1、WL2)，同一列的記憶單元的第三摻雜區 50 連接到同一位元線 (BL0、BL1、BL2)，所有的記憶單元的第一摻雜區 46 連接到同一源極線 (SL)。

請參考圖四，圖四為本發明寫入記憶單元 40 之示意圖。記憶單元 40 的寫入操作藉由通道熱電洞引發熱電子注入 (channel hot hole induced hot electron injection) 的機制將電子注入儲存電晶體 64 的電荷儲存層 564 中。將資料寫入記憶單元 40 前，要先開啟記憶單元 40 的選擇電晶體 62，也就是施加 0 伏特的電壓於 N 型井 44，施加 -5 伏特的電壓於第一閘極 54，則第一摻雜區 46 與第二摻雜區 48 之間的 P 型通道會導通。將資料寫入記憶單元 40 的儲存電晶體 64 時，施加 -1 伏特的電壓於第二閘極 58，施加 0 伏特的電壓於第一摻雜區 46，施加 -5 伏特的電壓於第三摻雜區 50，由於第一摻雜區 46 與第二摻雜區 48 之間的 P 型通道導通，第二摻雜區 48 與第一摻雜區 46 等電壓，此時儲存電晶體 64 體操作在飽和區 (saturation region)，第二摻



## 五、發明說明 (6)

雜區 48與第三摻雜區 50之間的P型通道中的電洞被電場加速得到高能量，撞擊N型井 44產生電子電洞對，撞擊後產生的電子在P型通的表面處被施加於第二閘極 58的電壓所吸引而注入第二堆疊介電層 56的電荷儲存層 564。

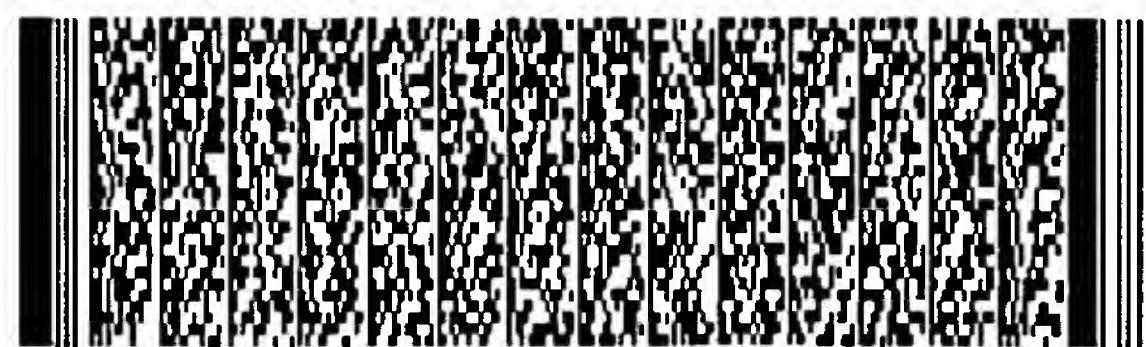
請參考圖五，圖五為本發明寫入記憶模組 60之示意圖。將資料寫入記憶模組 60的操作方法與寫入記憶單元 40時類似，也就是將寫入一個記憶單元 40時施加於第一閘極 54、第二閘極 58、第一摻雜區 46以及第三摻雜區 50的電壓相對應地施加於記憶模組 60的選擇線 (SG0、SG1、SG2)、字元線 (WL0、WL1、WL2)、源極線 (SL)以及位元線 (BL0、BL1、BL2)上，而圖五中將圖四的所有操作電壓平移 5伏特，使所有的操作電壓成為正電壓。寫入記憶模組 60時，首先選定欲寫入資料的記憶單元 70，施加 5伏特的電壓於N型井 44，施加 0伏特的電壓於與欲寫入資料的記憶單元 70連接的選擇線 (SG1)，施加 5伏特的電壓於沒有與欲寫入資料的記憶單元連接的選擇線 (SG0、SG2)，施加 4伏特於所有的字元線 (WL0、WL1、WL2)，施加 5伏特於源極線 (SL)，施加 0伏特於與欲寫入資料的記憶單元 70連接的位元線 (BL1)，以及施加 5伏特於沒有與欲寫入資料的記憶單元 70連接的位元線 (BL0、BL2、BL3)。記憶模組 60在寫入資料時，所有記憶單元的儲存電晶體 64的P型通道皆導通，雖然與欲寫入資料的記憶單元 70同一行的記憶單元的選擇電晶體 62也被打開，但因為記憶單元的字



## 五、發明說明 (7)

元線以及位元線被施加相等的電壓，並不會對記憶單元的儲存電晶體造成寫入干擾，然而與欲寫入資料的記憶單元同一列的記憶單元 72，因為受到 5伏特的選擇線電壓、4伏特的字元線電壓以及 0伏特的位元線電壓，可能使電子產生帶對帶穿隧 (band to band tunneling)的注入效應，所幸此時 4伏特的字元線電壓會導通記憶單元 72 的儲存電晶體，而 5伏特的選擇線電壓會關閉記憶單元 72 的選擇電晶體，於是電子的帶對帶穿隧會發生在記憶單元 72 的選擇電晶體，電子藉由帶對帶穿隧注入選擇電晶體可以避免記憶單元的儲存電晶體受到寫入干擾。

請參考圖六以及圖七，圖六為本發明重置記憶單元 40 之示意圖，圖七為本發明重置記憶模組 60 之示意圖。由於的記憶模組 60 在進行寫入操作時可能會對與欲寫入資料的記憶單元 70 同一列的記憶單元 72 產生寫入干擾，而記憶單元 72 的選擇電晶體可代替記憶單元 72 的儲存電晶體。當電晶體受到寫入干擾，如此便不會影響儲存資料的正確性。因此，本發明提供一種重置記憶單元 40 以及記憶模組 60 的方法，將因為寫入干擾而注入選擇電晶體的電子抹除。如圖六所示，記憶單元 40 藉由福樂諾漢穿隧 (Fowler-Nordheim tunneling, FN tunneling) 的機制進行重置操



## 五、發明說明 (8)

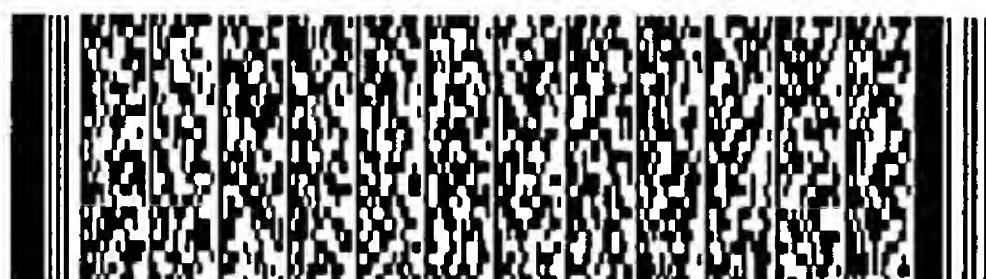
作，施加 6伏特的電壓於 N型 井 44、第一摻雜區 46以及第二閘極 58，施加 -4伏特的電壓於第一閘極 54，使得選擇電晶體 62的第一堆疊介電層 52上具有 10伏特的跨壓，以將侷限於第一堆疊介電層 52的電荷儲存層 524中的電子抹除。此外，由於儲存電晶體 64被關閉，所以第三摻雜區 50只要浮置即可。記憶模組 60的重置操作與記憶單元 40類似，將重置記憶單元 40時施加於第一閘極 54、第二閘極 58、第一摻雜區 46以及第三摻雜區 50的電壓相對應地施加於記憶模組 60的選擇線、字元線、源極線以及位元線上，如圖七所示。



## 五、發明說明 (9)

前，先對記憶單元的選擇電晶體進行一重置操作，將儲存於選擇電晶體的電子抹除。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為習知記憶單元之示意圖。

圖二為本發明記憶單元之示意圖。

圖三為圖二憶單元組成之記憶模組之示意圖。

圖四為本發明寫入記憶單元之示意圖。

圖五為本發明寫入記憶模組之示意圖。

圖六為本發明重置記憶單元之示意圖。

圖七為本發明重置記憶模組之示意圖。

### 圖式之符號說明

40 記憶單元

42 P型基底

44 N型井

46、48、50 P型摻雜區

52 第一堆疊介電層

54 第一閘極

56 第二堆疊介電層

58 第二閘極

522、562 第一二氧化矽層

524、564 電荷儲存層

526、566 第二二氧化矽層

60 記憶模組



圖式簡單說明

62 選擇電晶體

64 儲存電晶體

70 欲寫入資料的記憶單元



## 六、申請專利範圍

### 1. 一種寫入記憶單元之方法，其包含：

提供一記憶單元，其包含一N型井；三P型摻雜區，形成於該N型井上；一第一堆疊介電層，形成於該N型井上及該三P型摻雜區中之第一與第二摻雜區之間；一第一閘極，形成於該第一堆疊介電層上；一第二堆疊介電層，形成於該N型井上及該三P型摻雜區中之第二與第三摻雜區之間；以及一第二閘極，形成於該第二堆疊介電層上；

施加一共同電壓於該N型井、該第三摻雜區以及該第二閘極；

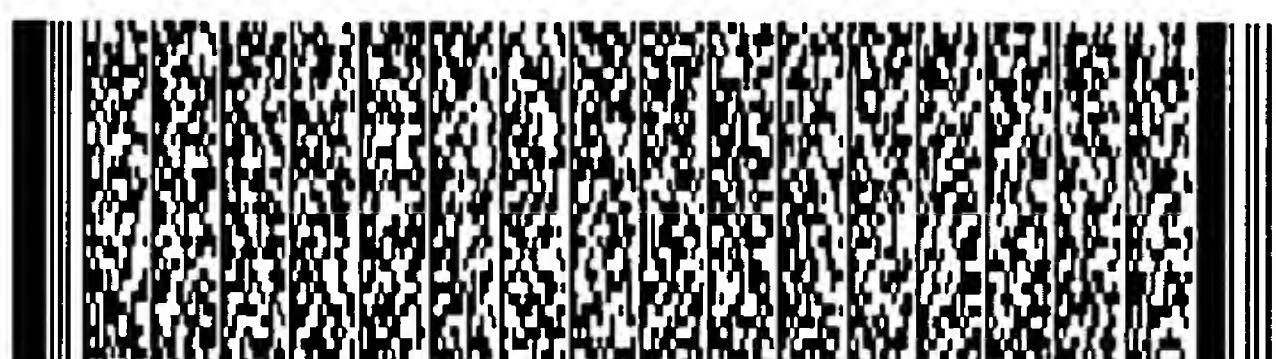
施加一小於該共同電壓之電壓於該第一閘極，以抹除儲存於該第一堆疊介電層之電荷；

施加一第一電壓於該第一閘極，以及一第二電壓於該第二閘極，使以導通該第一與第二摻雜區以及該第二與第三摻雜區之間之P型通道，該第一電壓係小於該第二電壓；

施加一大於該第二電壓之電壓於該N型井以及該第一摻雜區；以及

施加一小於該第二電壓之電壓於該第三摻雜區，使該第二與第三摻雜區之間之P型通道中之熱電洞誘發熱電子注入該第二堆疊介電層。

### 2. 如申請專利範圍第1項所述之方法，其中該每一堆疊介電層包含：



六、申請專利範圍

- 一 第一二氧化矽層，形成於該 N型井上；
- 一 電荷儲存層，形成於該二氧化矽層上；以及
- 一 第二二氧化矽層，形成於該電荷儲存層上。

3. 如申專利利範圍第 2項所述之方法，其中該電荷儲存層係為氮化矽 ( $Si_3N_4$ )。

4. 如申專利利範圍第 2項所述之方法，其中該電荷儲存層係為氮氧化矽 ( $Si_xN_yO_z$ )。

5. 一種記憶單元，其包含：

- 一 N型井；
- 三 P型摻雜區，形成於該 N型井上；
- 一 第一堆疊介電層，形成於該 N型井上以及該三 P型摻雜區中之第一與第二摻雜區之間；
- 一 第一閘極，形成於該第一堆疊介電層上；
- 一 第二堆疊介電層，形成於該 N型井上以及該三 P型摻雜區中之第二與第三摻雜區之間；以及
- 一 第二閘極，形成於該第二堆疊介電層上。

6. 如申請專利範圍第 5項所述之記憶單元，其中該第一堆疊介電層可藉由注入電荷改變導通該第一與第二摻雜區之間之 P型通道之臨界電壓。



## 六、申請專利範圍

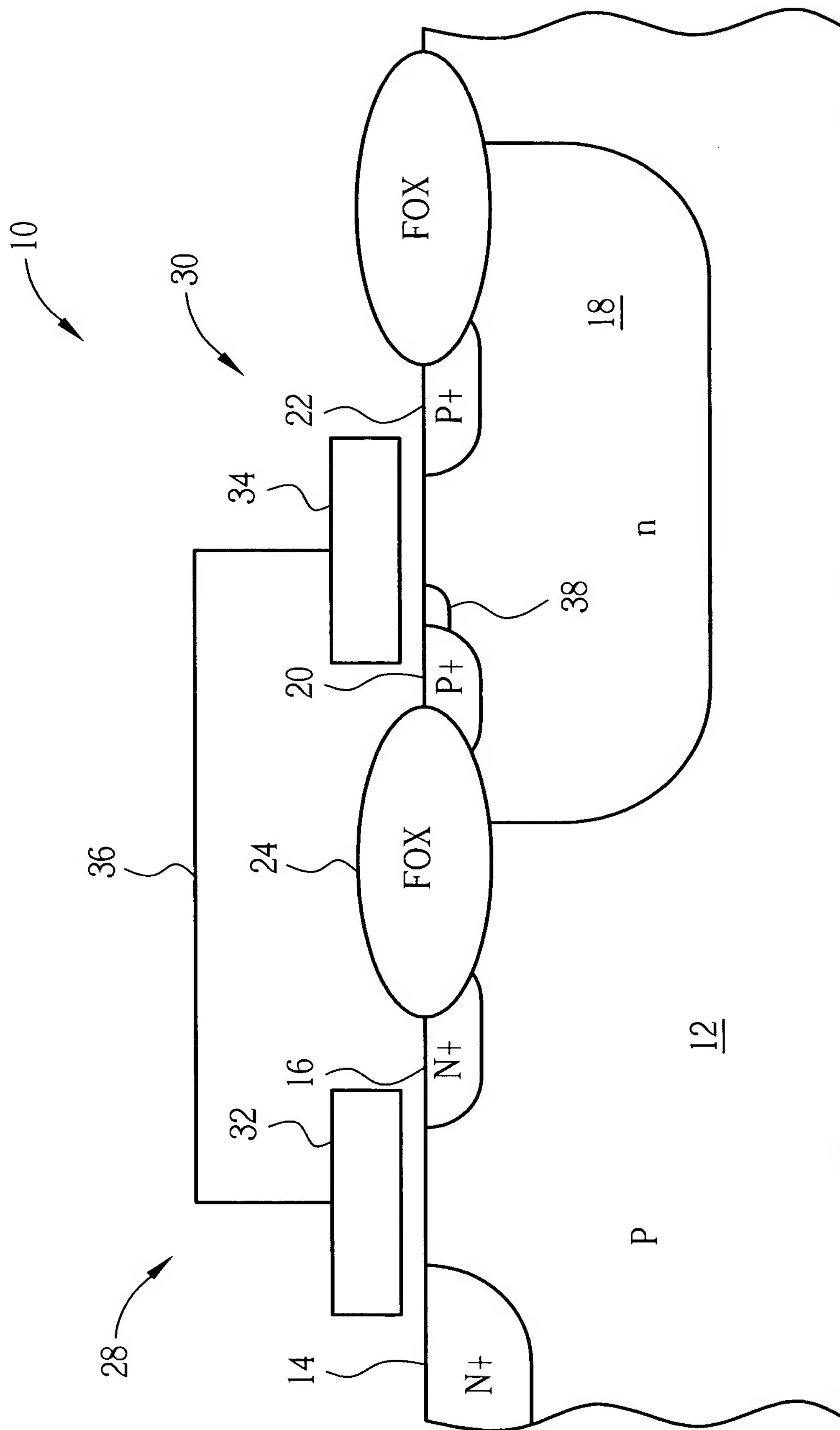
7. 如申請專利範圍第5項所述之記憶單元，其中該每一堆疊介電層包含：

- 一 第一二氧化矽層，形成於該N型井上；
- 一 電荷儲存層，形成於該二氧化矽層上；以及
- 一 第二二氧化矽層，形成於該電荷儲存層上。

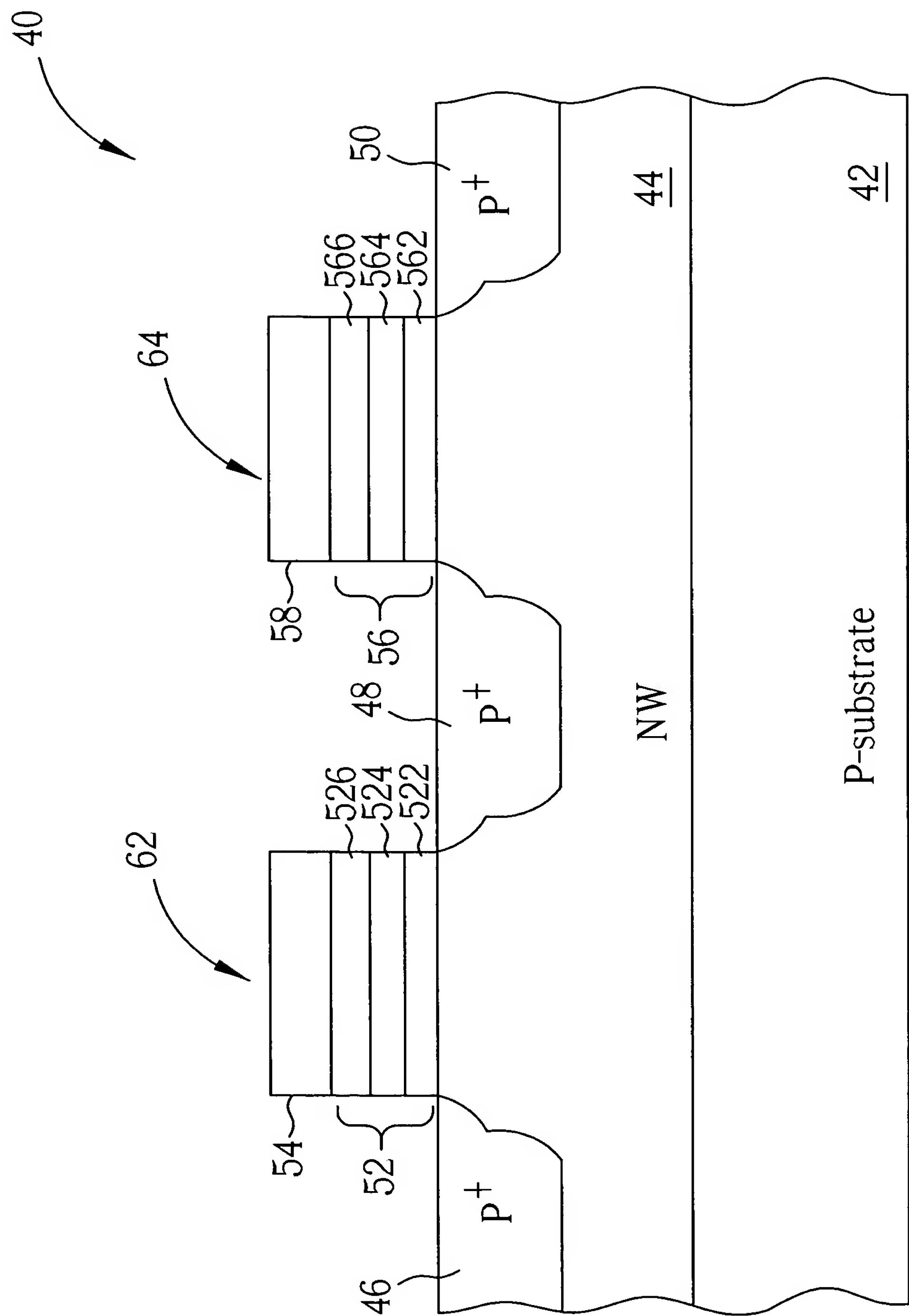
8. 如申專利利範圍第7項所述之記憶單元，其中該電荷儲存層係為氮化矽( $\text{Si}_3\text{N}_4$ )。

9. 如申專利利範圍第7項所述之記憶單元，其中該電荷儲存層係為氮氧化矽( $\text{Si}_x\text{N}_y\text{O}_z$ )。

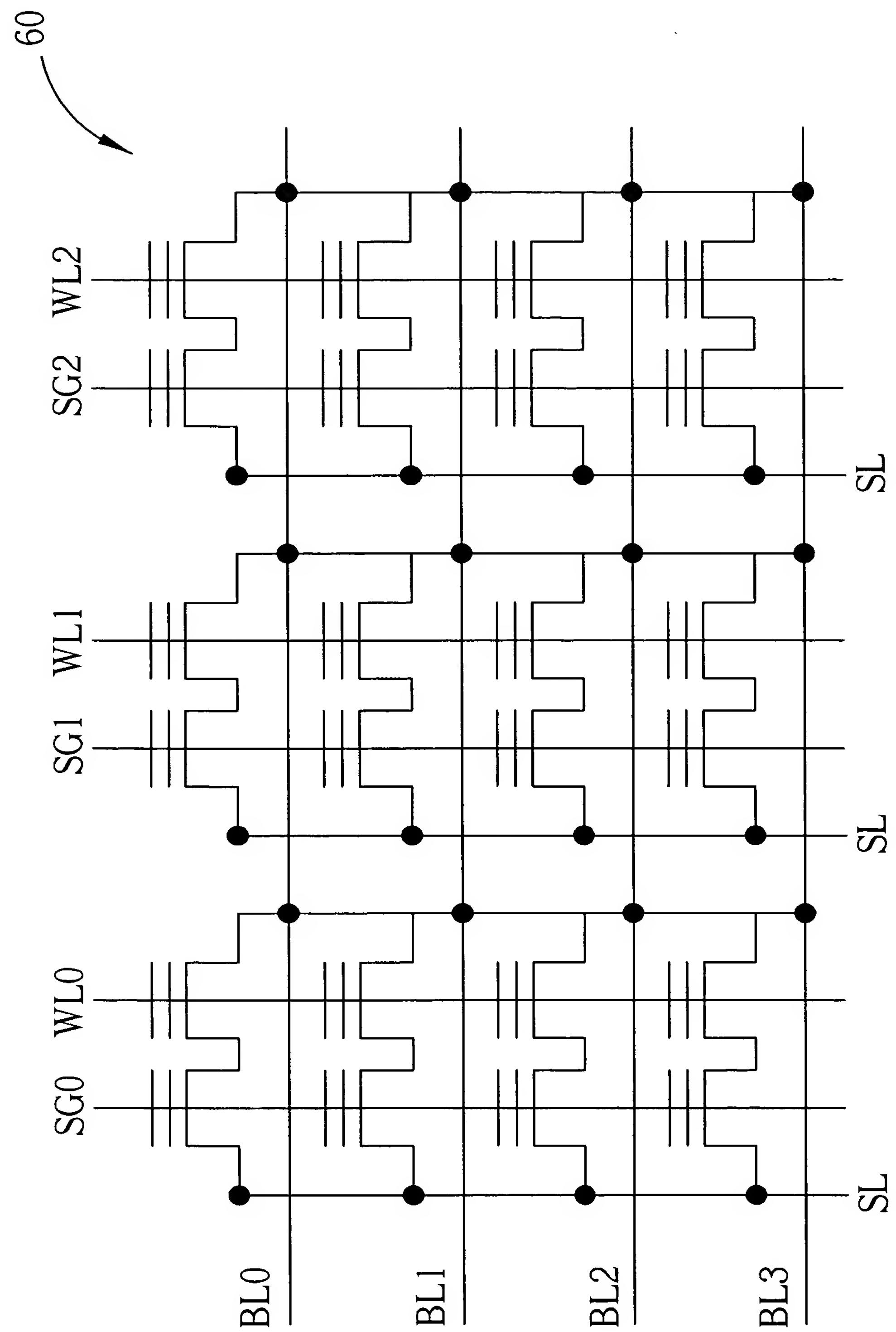




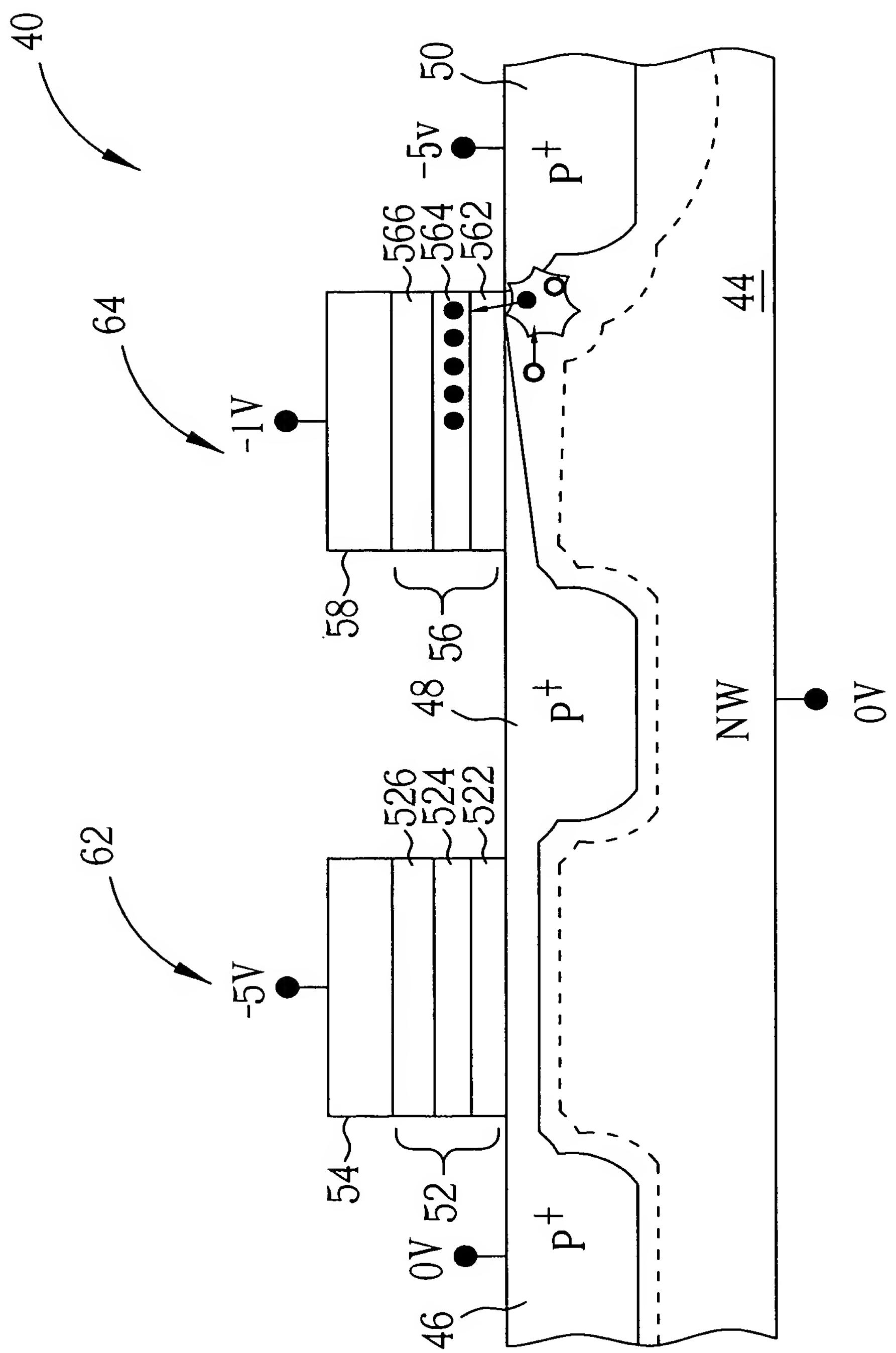
圖一



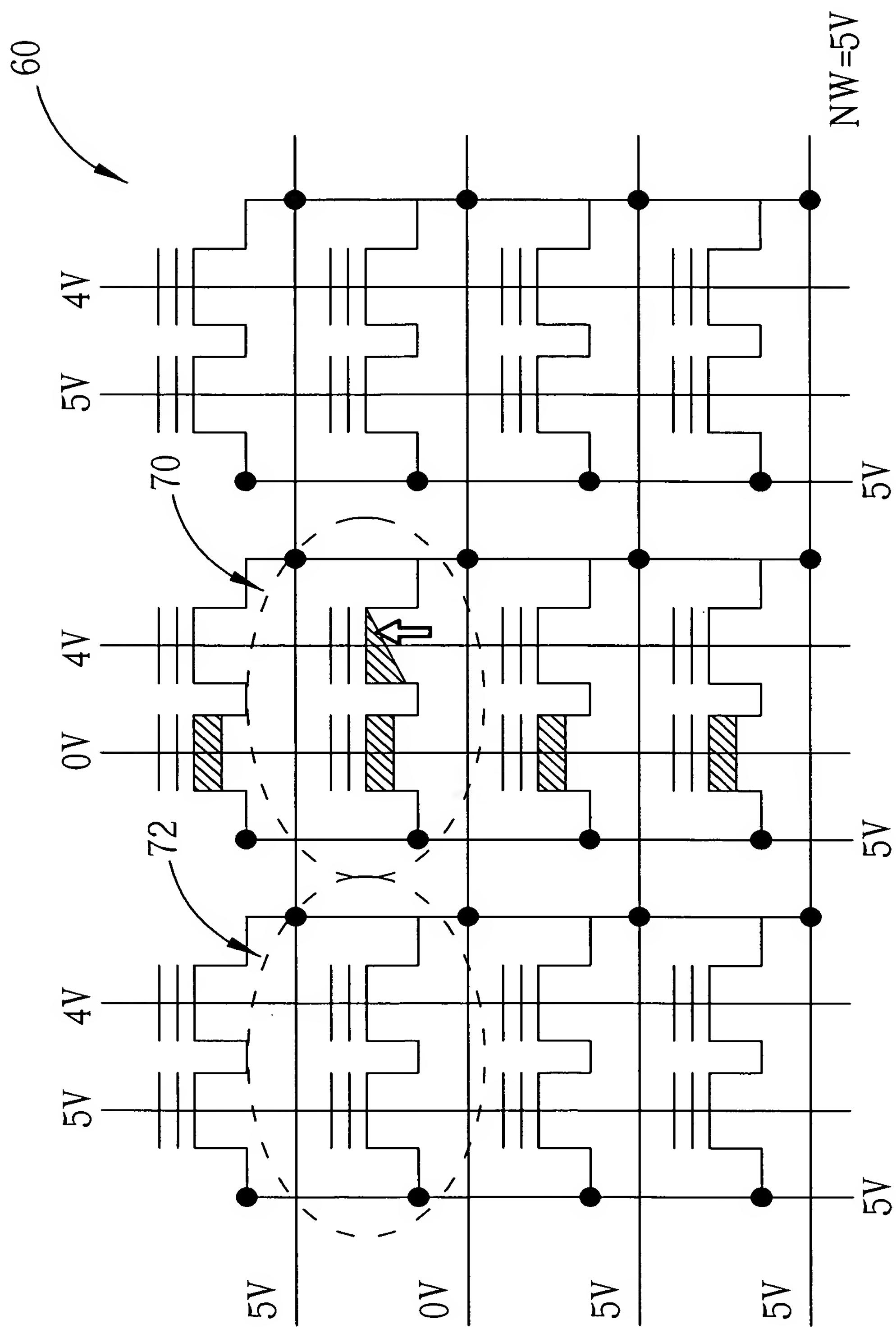
圖二



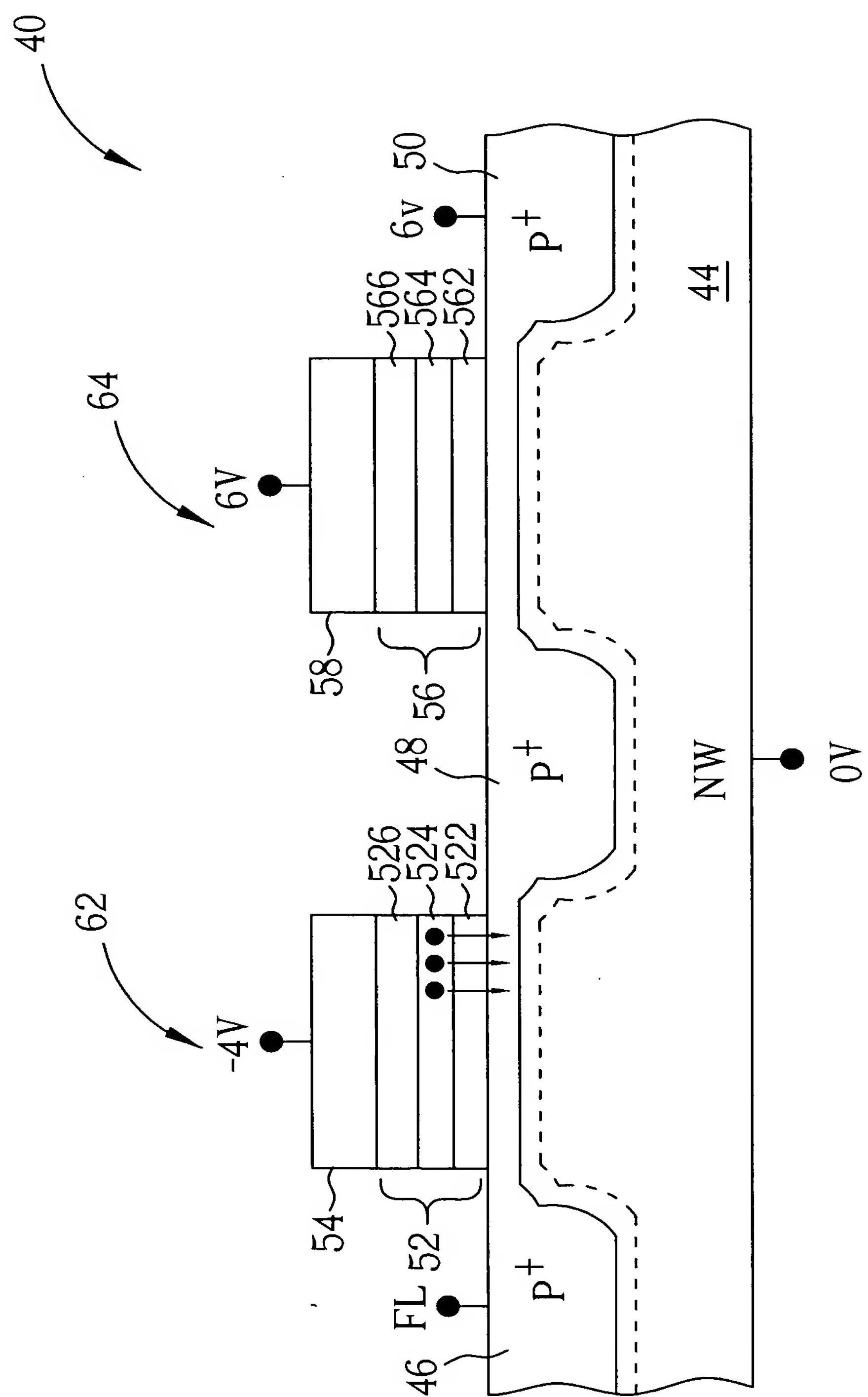
圖三



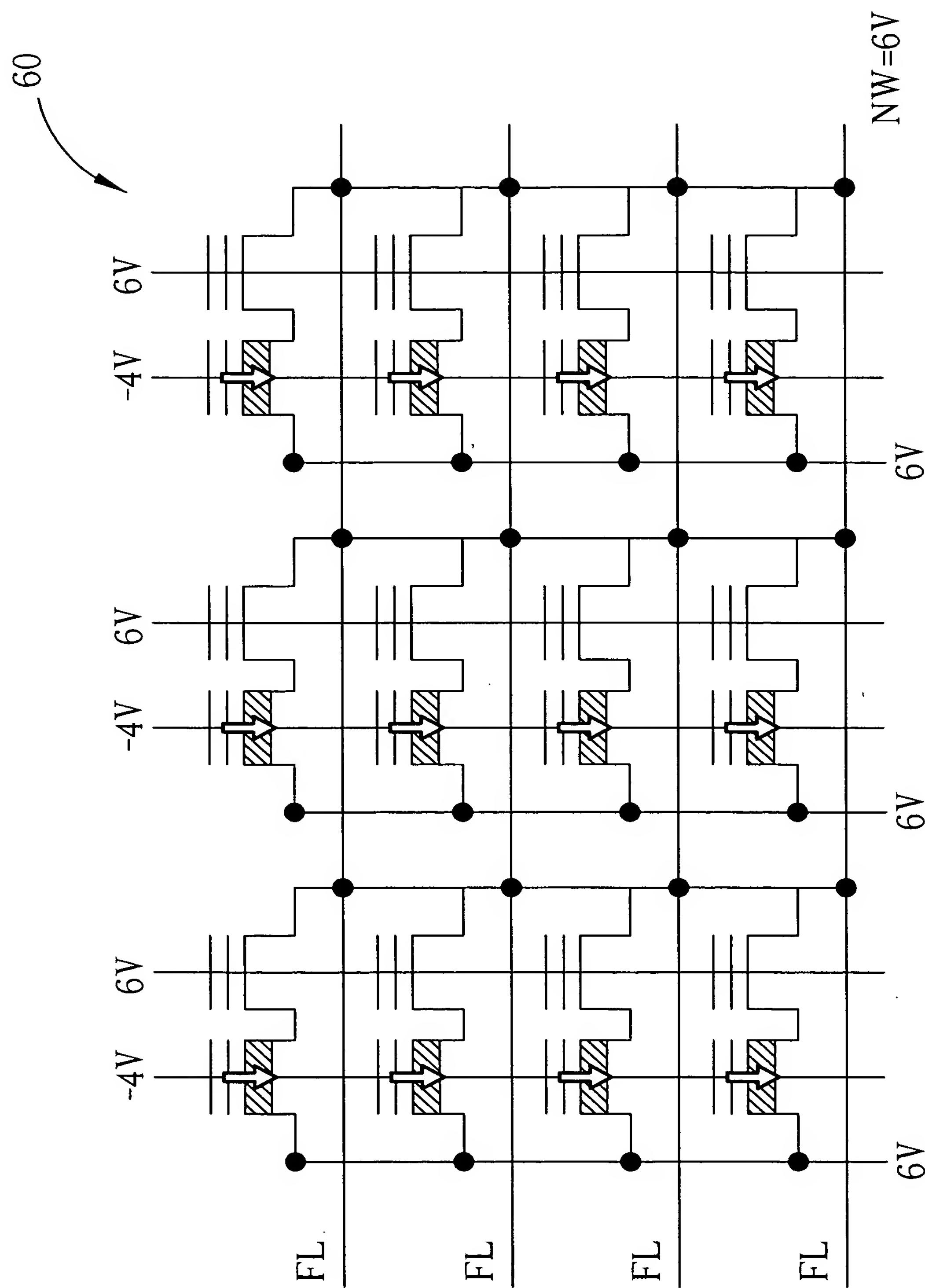
圖四



五  
回



水



十一

第 1/20 頁



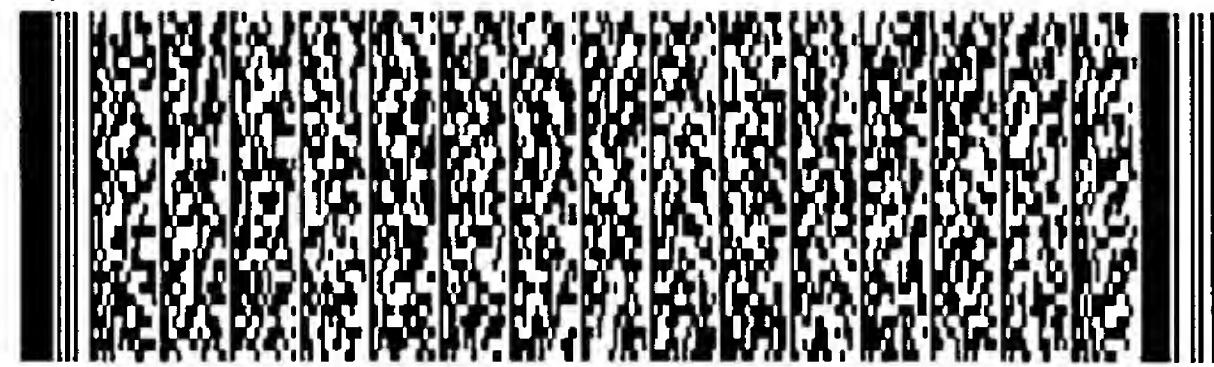
第 1/20 頁



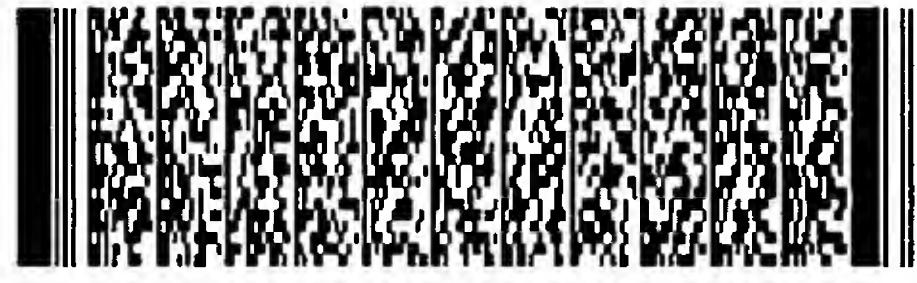
第 2/20 頁



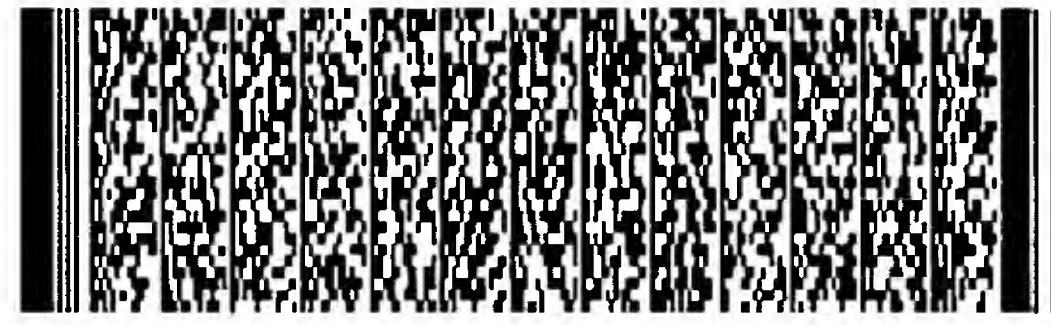
第 3/20 頁



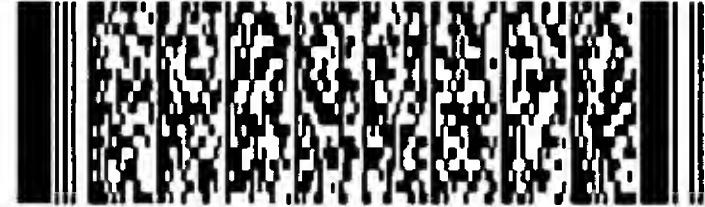
第 4/20 頁



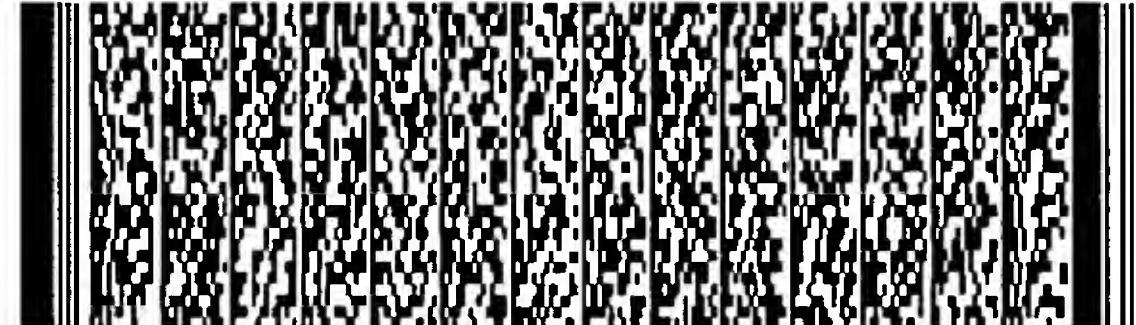
第 5/20 頁



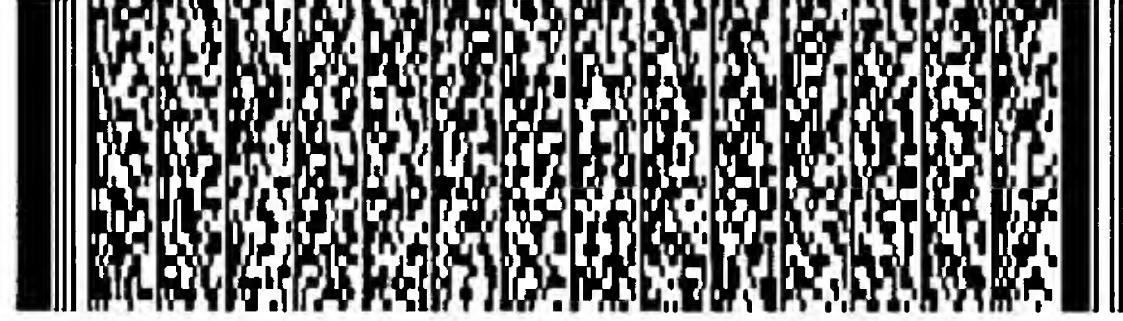
第 6/20 頁



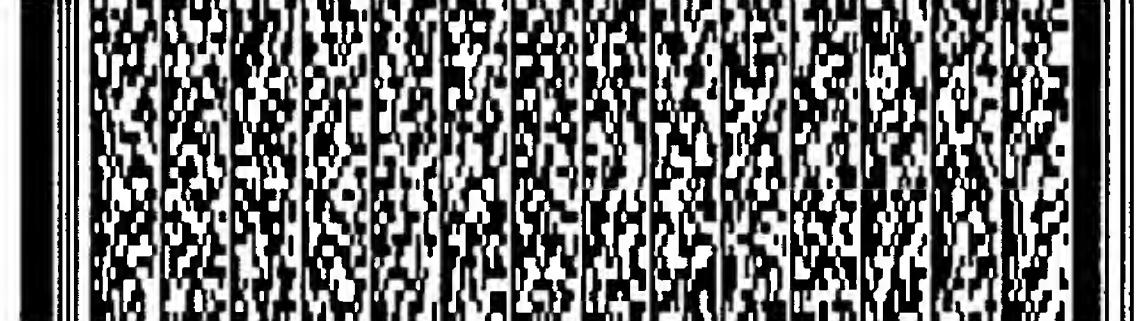
第 7/20 頁



第 7/20 頁



第 8/20 頁



第 8/20 頁



第 9/20 頁



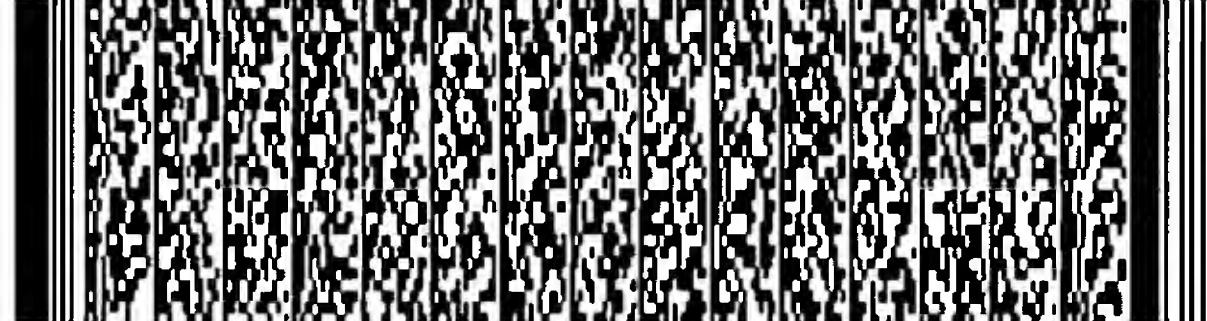
第 10/20 頁



第 10/20 頁



第 11/20 頁



第 11/20 頁



第 12/20 頁



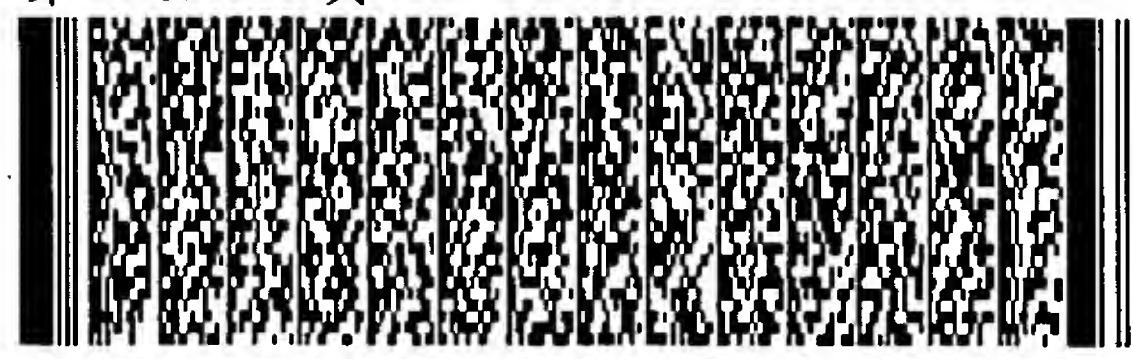
第 12/20 頁



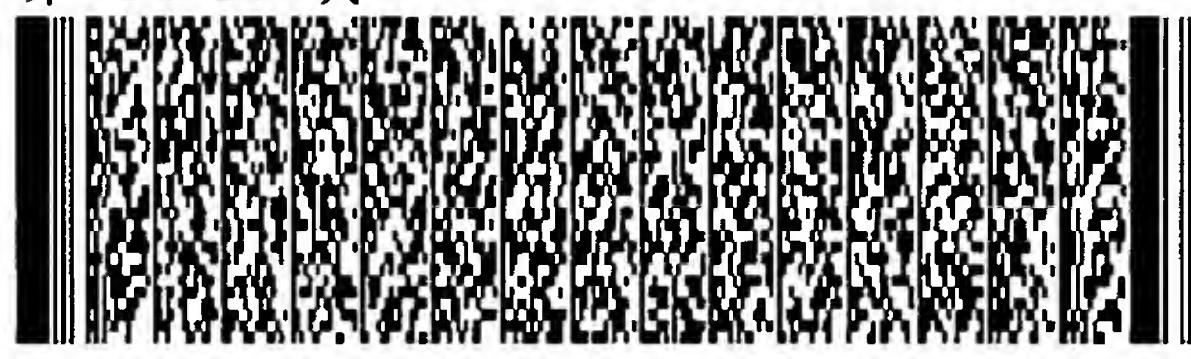
第 13/20 頁



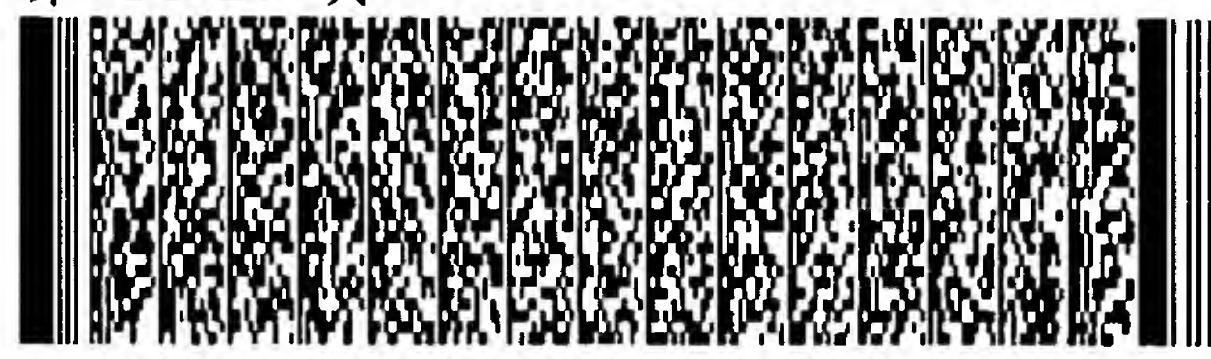
第 13/20 頁



第 14/20 頁



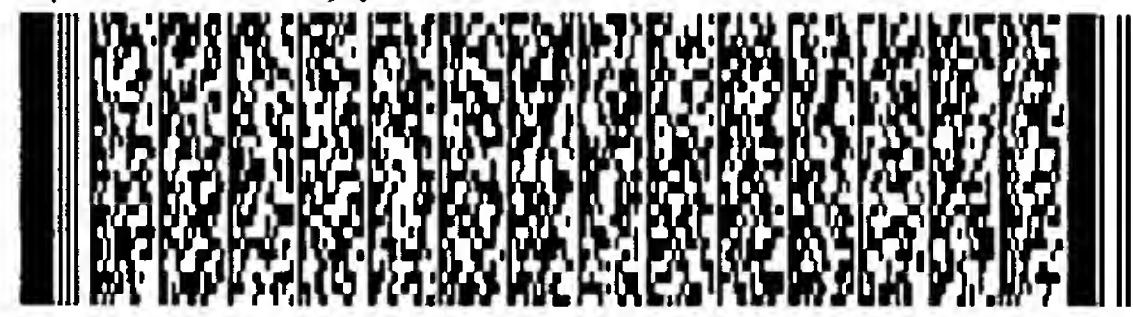
第 14/20 頁



第 15/20 頁



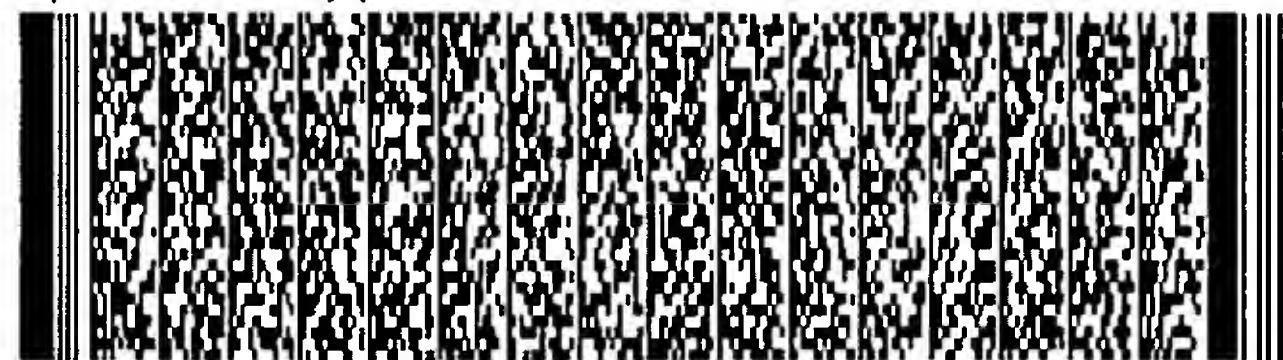
第 16/20 頁



第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

